

面向可容错计算的近似 Booth 乘法器设计

操 天, 刘伟强, 朱玉莹

(南京航空航天大学 电子信息工程学院, 江苏 南京 211106)

摘 要: 本文提出了一种通过近似因子来实现精度可调的近似 Booth 乘法器的设计方法, 并利用归一化的平均误差距离及功耗延时的乘积来评估近似乘法器的可靠性与硬件复杂度. 综合考虑可靠性与硬件复杂度, 本文所设计的近似乘法器与已有设计方案相比性能更优, 并在图像处理等可容错计算应用中显示出较好的应用价值.

关键词: 近似计算; Booth 乘法器; 低功耗

中图分类号: TP332.2

文献标识码: A

文章编号: 1000-7180(2018)07-0067-05

Design of Approximate Booth Multipliers for Error-Tolerant Computing

CAO Tian, LIU Wei-qiang, ZHU Yu-ying

(College of Electronic and Information Engineering, Nanjing University of
Aeronautics and Astronautics, Nanjing 211106, China)

Abstract: This paper proposes the approximate Booth multipliers whose accuracy can be adjusted by changing the so called approximate factor. The reliability and hardware complexity of the proposed multiplier are evaluated by the normalized mean error distance (NMED) and power-delay product (PDP). Considering both the reliability and hardware complexity, the proposed designs are better than the existing approximate Booth multipliers. Case studies into image processing show the validity of the proposed approximate multipliers.

Key words: approximate computing; Booth multiplier; low power

1 引言

随着各种移动设备的功能体验不断丰富和发展, 功耗已经成为制约数字集成电路设计的关键问题. 在不影响结果使用性的前提下, 通过适当降低计算精度来有效降低计算所需功耗及硬件复杂度的方法和设计理念称为非精确计算. 在多媒体信息处理、无线传感器网络及模式识别等具有容错能力的应用中, 关键电路的近似或非精确设计可以有效降低功耗且不影响应用结果^[1].

算术运算单元中的加法器和乘法器是硬件电路设计的基础, 近似计算电路研究的关键就是对算术

运算单元做非精确设计. 乘法器作为处理器中最重要、最基本的单元, 其功耗的大小对整个系统的功耗具有决定性意义. 因此, 对乘法器进行近似设计来降低功耗具有重要的研究意义. 由于乘法器的结构相比于加法器更复杂, 对乘法器的近似设计研究还处于起步阶段.

乘法器的大量计算过程主要集中在部分积产生及部分积压缩模块, 而这些计算主要依赖于编码器和压缩器. 本文以修正 Booth 乘法器为基础, 对其 Booth 编码器和压缩器进行近似设计和分析, 并在此基础上设计了一种面向可容错计算的近似 Booth 乘法器.

收稿日期: 2017-09-22; **修回日期:** 2017-10-30

基金项目: 国家自然科学基金青年科学基金(61401197); 南京航空航天大学研究生创新基地(实验室)开放基金(kfj20160410)

2 传统精确 Booth 乘法器的结构

Booth 乘法器设计主要包括 Booth 编码产生部分积模块,部分积压缩模块以及生成最终积模块.本文主要对 Booth 编码模块和压缩模块进行重点分析.

2.1 精确修正 Booth 编码

在高速乘法器的设计中,修正 Booth 编码可使部分积的个数减少一半.精确修正 Booth 编码产生部分积 pp_{ij} 的表达式如式(1)所示^[2].其中 pp_{ij} 是第*i*行*j*列的部分积,它由通过相邻两位被乘数 $\{a_j, a_{j-1}\}$ 和相邻三位乘数 $\{b_{2i+1}, b_{2i}, b_{2i-1}\}$ 逻辑组合得到.

$$pp_{ij} = (b_{2i} \oplus b_{2i-1})(b_{2i+1} \oplus a_j) + \overline{(b_{2i} \oplus b_{2i-1})}(b_{2i+1} \oplus b_{2i})(b_{2i+1} \oplus a_{j-1}) \quad (1)$$

2.2 精确压缩器

传统的部分积压缩是在硬件上用循环的方式对部分积进行移位相加,其硬件实现简单,但延时很长.

目前常用的压缩器结构是由 4-2 压缩器构成的 Wallace 树结构.4-2 压缩器有 5 个输入,分别为部分积 $\{P_1, P_2, P_3, P_4\}$ 及进位 C_{in} ,有 3 个输出分别是和位 Sum、进位输出 Carry 及 C_{out} .4-2 压缩器各输出信号的逻辑表达式如式(2)、(3)、(4)所示^[3].

$$Sum = P_1 \oplus P_2 \oplus P_3 \oplus P_4 \oplus C_{in} \quad (2)$$

$$C_{out} = (P_1 \oplus P_2)P_3 + \overline{(P_1 \oplus P_2)}P_1 \quad (3)$$

$$Carry = (P_1 \oplus P_2 \oplus P_3 \oplus P_4)C_{in} + \overline{(P_1 \oplus P_2 \oplus P_3 \oplus P_4)}P_4 \quad (4)$$

3 近似 Booth 乘法器的设计

3.1 近似 Booth 编码

近似 Booth 编码是在精确修正 Booth 编码的基础上设计的.表 1 给出了本文所提出的近似 Booth 编码的卡诺图,其中 1 表示用“1”替换精确修正 Booth 编码卡诺图对应位置的“0”,而 0 表示用“0”替换精确修正 Booth 编码对应位置的“1”.6 个近似元素中从“0”到“1”与从“1”到“0”的替换各有 3 个.从表 1 可以得到近似 Booth 编码产生近似部分积 app_{ij} 的表达式如式(5)所示.其错误率为: $P_{be}=6/32=18.75\%$.

$$\begin{aligned} app_{ij} &= (a_j \overline{b_{2i+1}}) \cdot \overline{b_{2i}} \overline{b_{2i-1}} + a_j \overline{b_{2i+1}} b_{2i} \overline{b_{2i-1}} \\ &= (b_{2i+1} \oplus a_j) \overline{b_{2i}} \overline{b_{2i-1}} \end{aligned} \quad (5)$$

近似 Booth 编码的逻辑门结构如图 1 所示.与精确的修正 Booth 编码相比,近似 Booth 编码仅包含 1 个二输入的异或门,1 个二输入的与非门,1 个二输入的与门,因此其硬件复杂度会显著降低.

表 1 近似 Booth 编码的卡诺图

$b_{2i+1}b_{2i}b_{2i-1}$	000	001	011	010	110	111	101	100
$a_j a_{j-1}$								
00	0	0	0	0	1	0	1	1
01	0	0	0	0	1	0	1	①
11	①	1	0	1	0	0	0	0
10	①	1	0	1	0	0	0	0

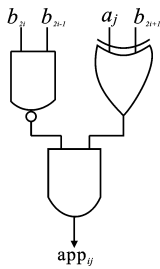


图 1 近似 Booth 编码逻辑门电路

3.2 近似 4-2 压缩器

压缩器与编码器一样作为乘法器设计的基本模块,它的效率也直接影响到乘法器的整体性能.考虑将精确 4-2 压缩器结构中输入的低位进位 C_{in} 和向高位的输出进位 C_{out} 舍弃,本文所提出的近似 4-2 压缩器的压缩结果为和位 Sum' 及向高位的进位 Carry',其逻辑表达式如式(6)和(7)所示:

$$Sum' = (\overline{P_1} \oplus \overline{P_2}) (\overline{P_3} \cdot \overline{P_4}) + \overline{P_3} + \overline{P_4} \quad (6)$$

$$Carry' = \overline{P_1} \cdot \overline{P_2} \quad (7)$$

表 2 给出了该近似 4-2 压缩器的卡诺图,将该近似压缩器与精确压缩器在同一输入情况下压缩结果的差别记为 Diff. .例如,若 $\{P_1, P_2, P_3, P_4\} = 1111$,表 2 对应的值为 $\{Carry' Sum'/Diff. \} = 11/-1$,即此时近似压缩器产生的值为 $(1 \times 2^1 + 1 \times 2^0 = 3)$,而精确压缩器产生的值应为 4,那么 Diff. 的值为 $(3 - 4 = -1)$.从表 2 可以看出,近似 4-2 压缩器的错误率为: $P_{ce} = 4/16 = 25\%$.近似压缩器进位无关的特性使得近似压缩可以并行执行,缩短了关键路径,显著提高了硬件性能.

表 2 近似 4-2 压缩器的卡诺图

	$p_2\ p_1$	00	01	11	10
$p_4\ p_3$	(Carry Sum/Diff.)				
00		00/0	10/+1	10/0	10/+1
01		01/0	10/0	11/0	10/0
11		01/-1	11/0	11/-1	11/0
10		01/0	10/0	11/0	10/0

4 近似乘法器分析与评估

基于上述所设计的近似模块,本文提出了一种近似 Booth 乘法器,该近似乘法器使用了上述近似 Booth 编码模块产生部分积、近似 4-2 压缩器模块对部分积进行压缩,并采用文献[4]所提出的近似规整部分积阵列及快速加法器对压缩结果进行求和得到最终乘积.

本文采用 Verilog HDL 语言对近似乘法器各个模块进行描述,在 45 nm CMOS 标准工艺库下,利用 Synopsys 公司的综合工具 Design Compiler 进行综合得到其功耗、面积、延时结果. 功耗与延时之积(Power Delay Product, PDP)可以反映近似乘法器的硬件性能.

表 3 给出了精确修正 Booth 编码器、文献[4]中的近似设计方案 R4ABE2 及本文所提出的近似 Booth 编码器的功率、延时、面积、PDP 和错误率.

表 3 精确和近似 Booth 编码器性能对比

Booth 编码器	功率 / μ W	时延 /ns	面积 / μ m ²	PDP /aJ	错误率 /%
精确修正	1. 99	0. 08	9. 84	159. 2	0
R4ABE2 ^[4]	0. 23	0. 05	1. 60	11. 50	25
本文	0. 74	0. 07	3. 46	51. 80	18. 75

从表 3 可以看出本文所提出的近似 Booth 编码器在各项硬件指标表现上均远优于精确修正 Booth 编码器,尤其是 PDP 仅相当于精确修正 Booth 编码器的 32. 5%,且与文献[4]的 R4ABE2 相比能够实现低错误率与硬件性能之间的良好折中,这也与上文设计该近似 Booth 编码器时的分析相一致.

表 4 给出了精确 4-2 压缩器、文献[5]中的近似压缩器 Design 2 及本文所提出的近似压缩器的功率、延时、面积、PDP 和错误率. 本文所提出的近似压缩器硬件性能明显优于精确 4-2 压缩器及 Design

2,且与 Design 2 相比,当错误率同为 25%时,本文所提出的压缩器的近似压缩结果中有两个结果偏大(即 Diff. 为+1),两个结果偏小(即 Diff. 为-1),避免了 Design 2 中 Diff. 的值朝偏小方向偏置概率较大的问题,从而对整体的压缩结果有很好的互补性,提高了压缩精度.

表 4 精确和近似 4-2 压缩器性能对比

压缩器	功率 / μ W	延时 /ns	面积 / μ m ²	PDP /aJ	错误率(Diff.)
精确 4-2	4. 31	0. 14	16. 23	603. 4	0
Design 2 ^[5]	1. 60	0. 07	7. 45	112. 0	25%(-1, -1, -1, +1)
本文	1. 16	0. 08	5. 85	84. 8	25%(-1, -1, +1, +1)

PDP 反映近似乘法器的硬件性能,而归一化的平均误差距离(Normalized Mean Error Distance, NMED)评估其可靠性^[6]. 在相同输入条件下精确设计和近似设计输出之差的绝对值称为错误距离(Error Distance, ED). 平均错误距离(Mean Error Distance, MED)是将所有输入情况遍历之后得到的错误距离求和再除以遍历的个数. 将 MED 除以精确设计中的最大输出值即可得到 NMED.

本文所提出的 16 比特近似 Booth 乘法器的硬件指标与 NMED 如表 5 所示,非精确因子 p 表示乘积结果的低 p 位采用近似设计,当 $p=0$ 时,表示精确的乘法器. 从表 5 可以看出,随着 p 的增加,功耗、面积、延时等指标在显著下降的同时,误差也会明显增加. 实际应用中可以根据电路对硬件复杂度与精度的不同需求来改变 p 值,确定最优的近似设计方案.

近似计算电路是通过引入可接受的误差来降低硬件电路的复杂度,如何在电路复杂度与精度之间找到平衡点是近似计算电路研究的关键.

表 6 给出了本文所提出的乘法器与文献中已有的几种近似乘法器的 PDP 与 NMED. R4EBM 是文献[4]中列出的精确 Booth 乘法器,R4ABM1($p=14, 16$)和 R4ABM2($p=14, 16$)是文献[4]中提出的在非精确因子 $p=14, 16$ 时的两种近似 Booth 乘法器. 文献[7]提出了近似修正 Booth 乘法器 R4ABM04, R8ABM2-C15 是文献[8]采用基-8 Booth 编码设计的近似 Booth 乘法器. 这些设计结果都是用 Verilog 硬件语言描述并在上述相同的编译环境下综合仿真得到的.

表 5 16 比特近似乘法器分析评估

p	功率 / μW	延时 /ns	面积 / μm^2	PDP /pJ	NMED (10^{-5})
0	634.0	1.02	2 645	0.646	0
4	595.1	0.94	2 398	0.559	0.25
8	576.6	0.94	2 318	0.542	0.25
12	530.5	0.92	2 134	0.488	0.27
14	491.9	0.88	1 975	0.433	0.64
16	454.9	0.87	1 842	0.396	2.59
18	414.5	0.85	1 672	0.352	9.57
20	374.0	0.82	1 543	0.307	37.27
24	305.7	0.81	1 308	0.248	519.02
28	278.8	0.78	1 198	0.217	7 939.57
32	274.6	0.79	1 196	0.217	21 762.08

表 6 几种近似 Booth 乘法器的综合性能

近似乘法器	功耗 / μW	延时 /ns	面积 / μm^2	PDP /pJ	NMED (10^{-5})
R4EBM ^[2]	634.0	1.02	2645	0.646	0
R4ABM1($p=14$) ^[4]	516.6	0.95	2169	0.490	0.93
R4ABM1($p=16$) ^[4]	479.9	0.94	2066	0.451	3.10
R4ABM2($p=14$) ^[4]	479.7	0.92	2004	0.441	0.62
R4ABM2($p=16$) ^[4]	448.7	0.92	1875	0.412	3.02
R4ABM04 ^[7]	427.3	0.95	1939	0.406	5.31
R8ABM2-C15 ^[8]	217.3	1.18	912	0.256	5.73
本文($p=12$)	530.5	0.92	2134	0.488	0.27
本文($p=14$)	491.9	0.88	1975	0.433	0.64
本文($p=16$)	454.9	0.87	1842	0.396	2.59

图 2 在同一坐标系中比较了各种近似 Booth 乘法器的性能,横轴为 NMED,纵轴为 PDP,图中各点代表不同的近似 Booth 乘法器对应的 PDP 与 NMED 值。

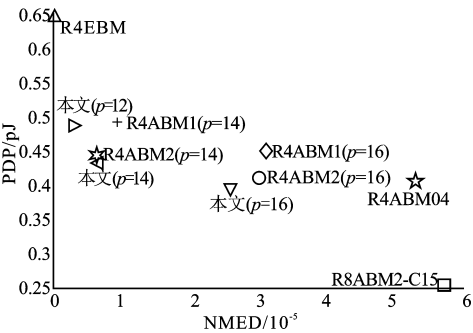


图 2 几种近似乘法器 PDP 和 NMED 对比图

在综合考虑 PDP 和 NMED 之后,离原点最近的即最优设计是本文所提出的($p=14$)时的近似

Booth 乘法器. 当非精确因子 $p=12, 14, 16$ 时,本文所提出的 16 比特近似 Booth 乘法器在电路复杂度与精度之间有很好的折中,并且它们的延时也是同类型乘法器中最小的。

将本文所提出的近似 Booth 乘法器应用于图像处理验证其可靠性和实用性. 本文所提出的 8 比特近似乘法器应用于数字图像自乘之后的效果如图 3 所示. 平均结构相似性 (Mean Structural SIMilarity, MSSIM) 表明图像分割结果与参考图像的平均局部结构相似性,其取值在 0 到 1 之间,取值越大表明分割质量越好^[9]. 当 MSSIM=1 时,对应图像分割结果与参考图像完全相同. 将精确乘法器应用于图像自乘处理的结果作为参考图像,用 MSSIM 评估近似乘法器应用于图像处理的结果如表 7 所示. 结果显示当 $p \leq 10$ (即 $\text{MSSIM} \geq 0.900$) 时,所设计的近似乘法器在图像处理方面有较好的应用价值。

表 7 评估近似乘法器应用于图像处理效果的 MSSIM 值

p	0	2	4	6	8	10	12	14
MSSIM	1.000	0.999 1	0.999 1	0.998 7	0.991 1	0.917 4	0.734 1	0.385 4

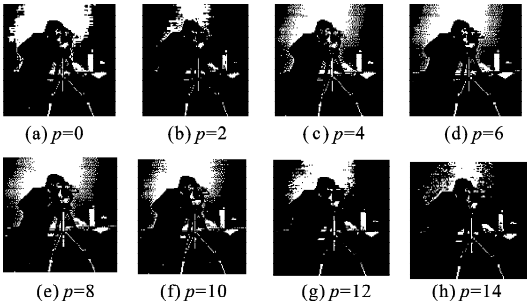


图 3 所设计的近似乘法器应用于图像处理的效果图

5 结束语

本文提出了一种近似 Booth 编码和近似 4-2 压缩器. 基于所提出的近似 Booth 编码和压缩器,本文设计了一种通过非精确因子 p 来实现精度可调的近似乘法器,并在 45 nm CMOS 标准工艺库下对各个近似模块及所设计的乘法器进行了功耗、面积、延时等硬件性能评估,利用 NMED 评估所设计乘法器的可靠性. 将所设计的近似 Booth 乘法器应用于图像处理也展现出了较好的应用价值. 此外,本文将所提出的设计与已有的近似 Booth 乘法器进行了比较,结果表明综合考虑 PDP 和 NMED, $p=14$ 时所提出的近似乘法器优于已有的近似 Booth 乘法器。

本文所提出的近似 Booth 乘法器在可容错计算应用中具有较好的有应用前景。

参考文献:

- [1] Venkatarani S, Chakradhar S, Roy K. Computing approximately and efficiently [C]//Design, Automation & Test in Europe Conference & Exhibition (DATE), France, Gernoble, 2015, 748-751.
- [2] 崔晓平, 高鹏辉, 尹洁琚, 等. 54 位高速冗余二进制乘法器的设计[J]. 微电子学与计算机, 2014, 31(4): 140-143.
- [3] Chang C, Gu J, Zhang M. Ultra low-voltage low-power CMOS 4-2 and 5-2 compressors for fast arithmetic circuits [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(10): 1985-1997.
- [4] Liu W, Qian L, Wang C, et al. Design of approximate radix-4 booth multipliers for error-tolerant computing [J]. IEEE Transactions on Computers, 2017, 66(8): 1435-1441.
- [5] Momeni A, Han J, Montuschi P, et al. Design and analysis of approximate compressors for multiplication [J]. IEEE Transactions on Computers, 2015, 64(4): 984-994.
- [6] Liang J, Han J, Lombardi F. New metrics for the reli-

ability of approximate and probabilistic adders [J]. IEEE Transactions on Computers, 2013, 62(9): 1760-1771.

- [7] Cho K, Lee K, Chung J. Design of low-error fixed-width modified booth multiplier [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2004, 12(5): 522-531.
- [8] Jiang H, Han J, Qiao F. Approximate radix-8 booth multipliers for low-power and high-performance operation [J]. IEEE Transactions on Computers, 2016, 65(8): 2638-2644.
- [9] Wang Z, Bovik A, Sheikh H et al. Image quality assessment: From error visibility to structural similarity [J]. IEEE Transactions on Image Processing, 2004, 13(4): 600-612.

作者简介:

操 天 男, (1993-), 硕士研究生. 研究方向为近似计算电路及数字集成电路设计.

刘伟强(通讯作者) 男, (1983-), 博士, 副教授. 研究方向为数字集成电路设计、信息安全及加密算法硬件实现.

E-mail: liuweiqiang@nuaa.edu.cn.

朱玉莹 女, (1995-), 硕士研究生. 研究方向为近似计算电路及数字集成电路设计.